

PC 机与 DSP 之间的并行通讯技术

王晓慧 吴庆洪

(鞍山科技大学电子与信息工程学院, 辽宁 鞍山 114044)

摘要: 对 PC 机在 EPP 模式下与 C6000 系列 DSP 的 HPI 口之间进行的并行通讯进行了研究, 提出了用 EPP 协议和 CPLD 实现 DSP 与计算机并口的双向高速数据传输的方法并给出了技术解决方案。通过 HPI 口 PC 机可实现直接访问 DSP 的存储空间(包括映射的片内外设), 并实现对 DSP 存储空间的读、写功能, 同时在高级语言下完成了对 DSP 应用系统的在线监控。该电路设计已成功应用到信号处理系统中, 并可以应用到利用并口进行通讯的其他课题中。

关键词: EPP; 并行通讯; DSP; HPI

中图分类号: TN41, TP33

The Parallel Communication Between PC And DSP

WANG XiaoHui, WU QingHong

(School of Electronics and Information Engineering, Anshan University of Science and Technology, Anshan 114044, China)

Abstract: This paper introduces the parallel communication based on the EPP mode between PC and DSP'HPI port and a method of high speed bi-directional parallel communication between DSP and parallel interface of PC by EPP protocol and CPLD, and the technical design solution is given in detail. PC can directly get access to the memory of DSP, including memory-mapped peripheral on chip, and read from or write to it. The means has been succeed in the DSP system and can be used in other subject with parallel communication.

Key Words: EPP; parallel communication; DSP; HPI

1 概述

目前, 在工业应用的各种控制系统和实验室中, 串口是常用的计算机与外部系统之间的数据传输通道。由于串行通讯简单易行, 所以应用广泛。但是由于串口一次只能传输一个位, 所以串行通讯在实时性、数据量、速度等方面受到限制。而计算机的并口可以一次传送 8 个位(一个字节)或更多, 速度要比串口快很多, 因此在许多要求较高传输速度的系统中, 并行通讯被广泛采用。

DSP (Digital Signal Processor) 是一种特别适合于进行数字处理运算的微处理器。随着 DSP 芯片的广泛应用, PC 机与 DSP 之间的高速数据传输成为电路设计中一个不可避免的问题。本文论述了并口在 EPP 模式下基于 CPLD 和 DSP 模块之间的高速数据交换的原理, 并讨论了实现方案。

2 并口的 EPP 模式

EPP 协议是一种与标准并口 (SPP) 兼容并能实现双向数据传输的协议。该协议可支持字节的双向传送, 并能在一个 ISA I/O 周期内完成, 传输速率与 PC 总线相当, 可

高达 2MB/S 的传输率。它有 4 个数据传输周期: 数据写周期、数据读周期、地址写周期和地址读周期。数据周期用于主机与外设之间的数据传输, 地址周期一般用于传输地址、通道、命令和控制信息。在实际操作中, 二者并没有太大区别, 几乎可以把地址周期看作是另外一种的数据周期。

表 1 给出了 EPP 协议中各引脚的信号定义与描述。

EPP 信号名	EPP 信号方向	EPP 信号描述	对应引脚
NWrite	输出	低电平写, 高电平读	1
NDSStb	输出	低电平表示数据读写操作	14
NAddStb	输出	低电平表示地址读写操作	17
nReset	输出	低电平外设复位	16
nIntr	输入	外设请求中断	10
nWait	输入	低电平进行数据通信	11
AD0 ~ AD7	双向	双向数据/地址线	2~9

下图 1、2 分别是 EPP 数据读/写周期的时序图，EPP 地址读/写与数据读/写周期基本相同，唯一区别就是把图 1、2 中的 nDataStb 换为 nAddStb。

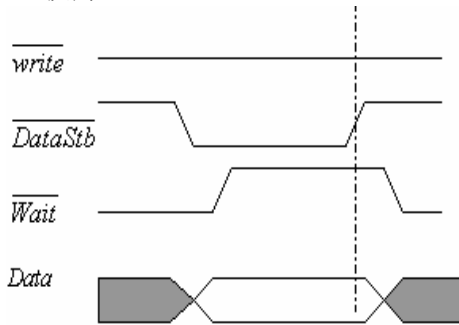


图 1 EPP 数据读时序图

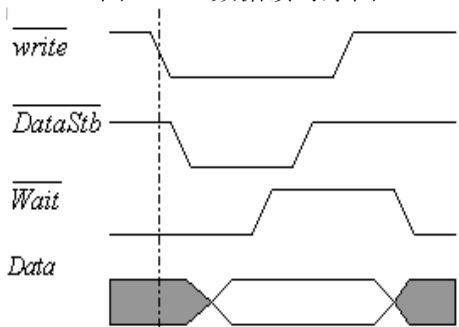


图 2 EPP 数据写时序

表 2 EPP 寄存器及其功能

寄存器	偏移地址	功能
SPP/PS2 数据	0	读入或写入数据线
SPP/EPP 状态	1	读取 5 根数据线，在 EPP 模式中附加位 (0) 指示超时
EPP 控制	2	读取或写入 4 根控制线，还包括启用中断配置位和字节模式方向控制位
EPP 地址	3	读取或写入数据线，有握手信号，地址周期
EPP 数据	4	读取或写入数据线，有握手信号，数据周期

前 3 个寄存器与 SPP 中的数据、状态、控制寄存器基本相同，用来兼容 SPP 传输。对于 EPP 传输来说，接口还用到了附加的寄存器。在 EPP 模式下写一个数据字节，需要将数据写入 EPP 的数据寄存器（基地址+4），而不是写入基地址。对 EPP 数据寄存器的写操作将导致接口开启一个完整的数据写入周期。接口的硬件把待写数据置于 D0~D7，然后接口将自动触发握手联

络信号，并检测外设的应答。读取一个字的过程与此类似，对 EPP 数据寄存器进行读写操作将引发一个完整的数据读写周期。

地址的传输过程基本也是这样，但需要写入或读取的是地址寄存器（基地址+3），并随即完成整个地址读写周期。其中地址的读写周期与数据读写周期基本是一样的，唯一不同点就在于地址周期使用的是 nAddStb 控制信号向接收设备传送字节。

EPP 的基地址 (BASE) 通常是 378h 或 278h，接口所使用的地址为 378h~37Fh，或者使用地址 278h~27Fh。EPP 模式支持 4 种操作，分别是地址写入、数据写入、地址读取和数据读取。每一种操作使用是不同的联络信号。需要注意的是在访问 EPP 寄存器和开始进行传输之前，控制端口位 /C0、/C1、/C3 必须处于高电平状态。由于接口硬件对这些位进行了倒相，因此为将它们置高，需要向相应的寄存器位写入 0。

3 C6000 的 HPI 接口

TMS320C6000 系列的 DSP 提供了 16 位或 32 位的增强型 HPI 接口，本系统采用的是 TMS320C6711 为例做详细介绍。6711 的 HPI 口是由 16 位的数据总线 and 用于设置和控制接口的控制信号线组成。HPI 的时序图及外部接口信号分别如图 3 所示。

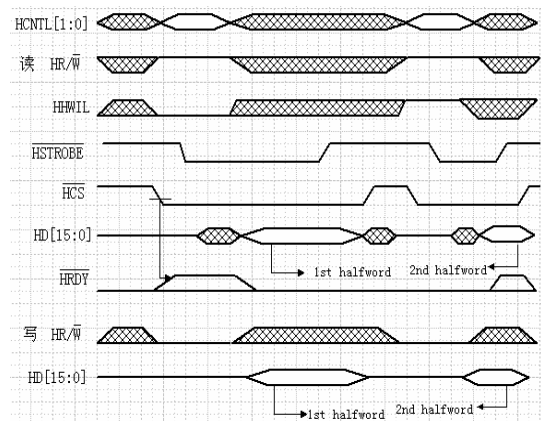


图 3 HPI 的读/写时序

由于 C6000 的 HPI 口是 16 位的数据总线接口，但 C6000 系列的 DSP 是 32 位的，所以与主机通信的数据都是由两个连续的 halfword (2Byte) 组成。HHWIL 管脚指示正在传输的是第一个还是第二个字，并分别表示为低/高电平。主机采用 HCNTL[1:0] 来指定要访问的是 HPI 的控制寄存器 HPIC 还是 HPI 的数据寄存器 HPID 或是 HPI 的地址寄存器 HPIA，也可以用地址自动增加的

方式访问数据寄存器 HPID，具体方式见表 3 所示。

HPI 有两个数据选通信号 HDS1/2，读写选通信号 HR/W 及地址选通信号 HAS，这几个信号在功能上非常相似，只是在时序上有所差别，主要是为了满足与不同工业标准处理器的接口需要。实际上 HDS1、HDS2 和 HCS 信号在片内组合为一个低有效的 HSTROBE 信号，分别在下降沿初始化 HPI 的读操作和在上升沿初始化 HPI 的写操作。另外还有 HRDY 信号允许在和高速主机通讯时插入等待状态。上述特点使 HPI 可以方便的与工业标准的主机接口。

表 3 HCNTL[0:1]的功能选择

HCNTL1	HCNTL0	说明
0	0	主机读写 HPI 的控制寄存器 HPIC
0	1	主机读写 HPI 的地址寄存器 HPIA
1	0	主机以地址自增方式读写 HPI 的数据寄存器 HPID，HPIA 在操作后自动增加一个 word 地址
1	1	主机读写 HPID 的数据寄存器 HPID，HPIA 不受影响

主机对 HPI 进行访问时，首先完成对外部接口部分的操作，即先初始化 HPIC 寄存器，然后初始化 HPIA 寄存器，再从

HPID 寄存器中读取或写入数据。在任何数据读写之前应完成对 HPIC 寄存器中的 HWOB 位和 HPIA 的初始化。因为 HWOB 控制传输的第一个 16bit 是 MSB 还是 LSB，只能由主机修改该位的设置。一般 DSP 的初始化程序中对 HPIC 进行初始化后就不用再对 HPIC 操作了，其余的工作就由主机完成。

通过 HPI 接口，主机和 C6000 之间可以相互发送中断请求。主机通过 HPIC 寄存器的 DSPINT 位来中断 CPU，而 CPU 可以通过 HPIC 寄存器的 HINT 位发中断请求到主机。

4 EPP 与 HPI 的接口

本系统采用可编程逻辑器件 XC95144XL-TQ100 实现接口逻辑和控制逻辑，由于 EPP 并口只能进行 8 位的读写操作，而 C6000 的 HPI 是 16 位的总线，因此若要进行通信，必须设计好组合逻辑，所以我们采用 CPLD 来实现接口时序。具体的接口时序如图 4 所示。

由于 EPP 是每次传输 8 位数据，而 HPI 口则处理 16 位数据，所以在主机读/写 HPI 时要分别用到两个数据锁存器与数据缓冲器，分别暂存 16 位数据的高低 8 位。

在接口电路中，我们用到一个 12 进制的计数器，EPP 的 DSTROB 和 ASTROB 分别

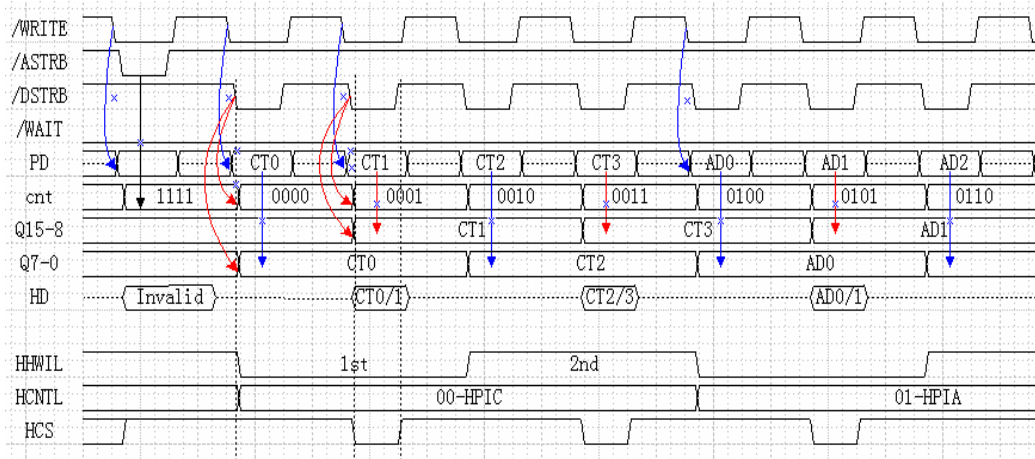


图 4 EPP 与 HPI 接口时序 (写时序)

作为计数器的计数脉冲和清零信号，在输出 Q0 的上升沿和下降沿分别锁存低/高 8 位数据，并且在 HCS 的下降沿一起将 16 位数据送给 HPI 口。输出 Q1 作为 HHWIL 信号，而 Q2: Q3 作为 HCNTL[0: 1]信号，要实现对连续地址的访问需要改变信号 HCNTL0、HCNTL1，所以在依次访问

完 HPIC、HPIA 之后，HCNTL0 和 HCNTL1 应固定在 01 上，实现对 HPID 地址自增方式的访问。即 HCNTL[1: 0]的变化范围为：00 → 01 → 10 → 00。

在 /WRITE 的下降沿启动写时序，在 /DSTROB 的下降沿送一个字节到 PD 端，待第 2 个 /DSTROB 的下降沿到来时一起将

16 位数据送到 HD 端，完成第一个半字的传输。

5 结论

HPI 口的应用极大的方便了主机与 DSP 系统的数据交换，使在线修改 DSP 存储器的数据成为可能。该方案灵活、简单，很有实用价值。

参考文献：

- 1 霍晓方. 用增强并口 EPP 协议扩展计算机 ISA 接口. 电子技术应用, 2000 (6)
- 2 Jan Axelson. Parallel Port Complete, Lakeview Research[M]. Madison USA, 1999.267-277.
- 3 TI. TMS320C6000 Peripherals Reference Guide. 2001,7:2-41.
- 4 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用. 电子工业出版社, 2003.

作者简介：

王晓慧，女，1981 年生，硕士在读，主要研究方向为数字图像处理、模式识别。

吴庆洪，男，1968 年生，博士，硕士生导师，副教授，主要研究方向为图象处理应用、智能仪表、数字信号处理、模式识别。

第一作者：王晓慧

地址：辽宁鞍山科技大学电信学院信息工程研究中心

邮编：114044

E-Mail:binggaogui@163.com

电话：0412-5929748